

(特許協力条約に基づいて公開された国際出願)

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年7月24日 (24.07.2003)

PCT

(10) 国際公開番号
WO 03/061129 A1

(51) 国際特許分類?: H03L 7/00

(21) 国際出願番号: PCT/JP02/00233

(22) 国際出願日: 2002年1月16日 (16.01.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 高橋 章 (TAKA-HASHI, Akira) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 溝井 章司, 外 (MIZOI, Shoji et al.); 〒247-0056 神奈川県鎌倉市大船二丁目17番10号 NTA 大船ビル3F Kanagawa (JP).

(81) 指定国 (国内): JP, US.

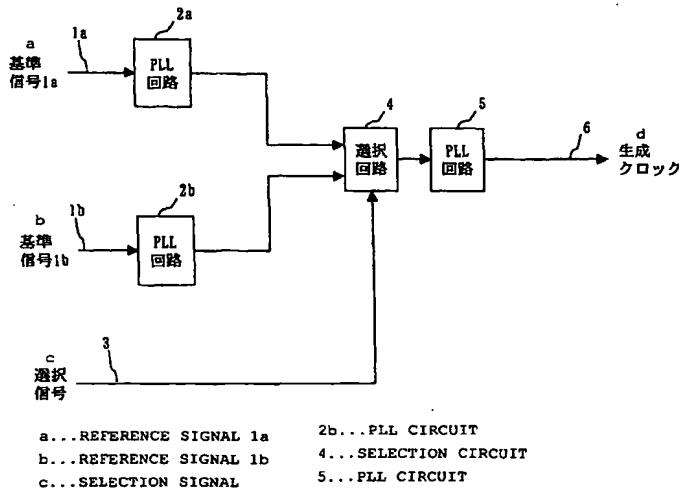
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: CLOCK GENERATING CIRCUIT

(54) 発明の名称: クロック生成回路



(57) Abstract: A clock generating circuit for generating a clock synchronous with a reference signal. A phase jump of the generated clock is prevented when the reference signal is changed over so as to feed a stable clock, no steady phase error between the reference signal and the generated clock is produced to dispense with phase adjustment and to realize an integrated clock generating circuit. PLL circuits (2) are provided for respective reference signals (1). A clock generating circuit is constituted of the PLL circuits so that one of the outputs of the PLL circuits (2) is selected and inputted into the succeeding-stage PLL circuit (5). Since the variation of the phase of the signal inputted into the PLL circuit (5) of when the reference signal (1) is changed over is reduced, the phase jump of the generated clock (6) is prevented. Therefore the loop gain of the PLL circuits (2, 5) can be increased. No phase error between the reference (1) and the generated clock (6) is produced to dispense with adjustment, and the clock generating circuit can be made an integrated circuit.

[締葉有]

WO 03/061129 A1



(57) 要約:

基準信号に同期したクロックを生成するクロック生成回路において、基準信号を切り替えた場合の生成クロックの位相跳躍を抑え安定したクロックを供給すること、基準信号と生成したクロックとの間の定常位相誤差をなくして無調整化し、クロック生成回路を集積化可能とすることを課題とする。基準信号 1 每に PLL 回路 2 を設け、各 PLL 回路 2 の出力の中から 1 つを選択して次段の PLL 回路 5 に入力するように複数段の PLL 回路からクロック生成回路を構成する。基準信号 1 を切り替えたときに PLL 回路 5 に入力する信号の位相変動を小さくすることで生成クロック 6 の位相跳躍を抑え、PLL 回路 2 および PLL 回路 5 のループゲインを大きくすることを可能として、基準信号 1 と生成クロック 6 の位相差をなくして無調整化し、クロック生成回路を集積化可能とした。

明細書

クロック生成回路

5 技術分野

この発明は、ディジタル伝送システムにおいて基準信号に同期したクロックを生成するクロック生成回路に関するものである。

背景技術

10 図9は例えば従来のクロック生成回路の構成図であり、図において1は基準信号、3は複数の基準信号の中から1つを選択する選択信号、4は選択回路、5はPLL回路、6は生成クロックである。また、以下はPLL回路を構成するものであり、21は位相比較器、22はローパスフィルタ、23は増幅器、24は基準電圧源、25は電圧制御発振器、
15 26は分周器である。

次に動作について説明する。複数の基準信号1を入力し、選択信号3により選択回路4で1つの基準信号を選択する。図9においては、説明のため2つの基準信号1aおよび1bを入力する場合を示している。次に、選択した基準信号1と分周器26から出力される信号の位相を位相比較器21で比較する。位相比較器21の出力には、選択された基準信号1と分周器26の出力信号の位相差に対応する信号が出力される。この位相差信号はローパスフィルタ22で平滑化され、基準電圧源24との電位差は増幅器23で増幅される。増幅器23の出力電圧で電圧制御発振器25を動作させ、選択した基準信号1と位相同期したクロック信号6を出力する。分周器26は生成クロック6を分周し、基準信号1と位相比較するための信号を生成する。

図 10 は、複数の基準信号 1 と選択信号 3 により選択された選択回路 4 の出力と生成クロック 6 および分周器 2 6 の出力信号を示したものである。図 10 の 1001 は選択信号 3 により選択回路 4 にて基準信号 1 a が選択されている状態であり、分周器 2 6 および生成クロック 6 も基準信号 1 a に同期している。

図 10 の 1002 は選択信号 3 により選択回路 4 が切り替わり、基準信号 1 b を選択している状態であり、この時点では新たに選択された基準信号 1 b に対して生成クロック 6 および分周器 2 6 の出力の位相がずれている状態にある。この位相のずれに比例して位相比較器 2 1 が位相差信号を出力して、ローパスフィルタ 2 2 で平滑化と增幅器 2 3 による増幅を行い、電圧制御発振器 2 5 の発信周波数を制御して分周器 2 6 の出力と選択回路 4 で選択した基準信号 1 bとの位相が一致するように動作する。

図 10 の 1003 では上記回路動作により、切替後の新たな基準信号 1 b に対して生成クロック 6 および分周器 2 6 の出力が同期している状態である。

従来回路では、選択した基準信号 1 と生成クロック 6 の位相を一致させるために、基準電圧源 2 4 の調整が必要であった。定常状態において、選択した基準信号 1 と生成クロック 6 の位相差は定常位相誤差と呼ばれ、PLI 回路 5 のループゲインを大きくすることで位相差を小さくすることができますが、基準信号 1 を切り替えた場合に基準信号 1 の位相変化に追随するため、生成クロック 6 の過渡的な位相変動が大きくなる欠点があり、定常位相誤差と基準信号 1 を切り替えた場合に発生する生成クロック 6 の位相変動量はトレードオフの関係にある。

さらに、通常ローパスフィルタ 2 2 は抵抗やコンデンサ等で構成されているため、フィルタ性能の精度をあげようすると集積化が困難であ

5 った。電圧制御発振器 25 には水晶を用いた V C X O (Voltage Controlled Xtal Oscillator) や、コイルやコンデンサを用いた V C O (Voltage Controlled Oscillator) があるが、V C X O は集積化が困難であり、V C O は変調感度が非常に大きいため P L L 回路のループゲインが大きくなってしまうことから基準信号切替時の生成クロックの位相変動が大きくなる問題点があった。

10 従来のクロック生成回路は以上のように構成されているので、基準信号と生成クロックの位相を一致させるためには基準電圧源の調整が必要である。そして、定常位相誤差や基準信号切替時の過渡応答制御を高精度に制御する場合には、ローパスフィルタや電圧制御発振器の集積化が困難であること、及び基準信号切替時の過渡応答は P L L 回路のループゲインやローパスフィルタの時定数に依存することから設計自由度が高くないなどの問題点があった。

15 この発明は上記のような問題点を解消するためになされたもので、基準信号と生成クロックの位相を一致させるための調整が不要であり、回路内の構成要素の全てを集積可能と共に、基準信号切替時の過渡応答を高精度に制御可能とし、かつ高い設計自由度を提供することを目的とする。

20

発明の開示

本発明に係るクロック生成回路は、複数の基準信号のうち 1 つを選択し、選択した基準信号に同期したクロックを生成するクロック生成回路であって、以下の要素を有することを特徴とする

(1) 前記複数の基準信号毎に設けられ、それぞれの基準信号に同期す

る出力を生成する複数の前段PLL回路

(2) 複数の前記前段PLL回路出力のうち1つを選択する選択回路

(3) 前記複数の前段PLL回路と従属接続し、選択した前記出力を入力し、前記クロックを生成する後段PLL回路。

前記クロック生成回路は、更に、前記複数の前段PLL回路の出力毎に設けられ、前記選択した基準信号に対応する前段PLL回路の出力の位相に、他の前段PLL回路の出力の位相を一致させる複数の位相調整回路を有することを特徴とする。

前記位相調整回路は、リングカウンタと、前記リングカウンタの多相出力から1つを選択する選択回路とを有することを特徴とする。

前記複数の前段PLL回路は、前記それぞれの基準信号との周波数同期を行い、

前記後段PLL回路は、前記選択した基準信号との位相同期を行い、
クロック生成回路は、更に、前記複数の前段PLL回路の出力毎に設けられた複数の位相調整回路を有し、前記選択した基準信号の位相に、
生成した前記クロックを分周した信号の位相を一致させるように、前記
選択した基準信号に対応した位相調整回路を制御し、

前記複数の位相調整回路は、前記選択した基準信号に対応する前段PLL回路の出力の位相に、他の前段PLL回路の出力の位相を一致させることを特徴とする。

本発明に係るクロック生成回路は、

前記選択した基準信号の周期に比例して、前記位相調整回路を制御す

ることを特徴とする。

本発明に係るクロック生成回路は、
前記生成クロックの分周周期に比例して、前記位相調整回路を制御す
5 ることを特徴とする。

図面の簡単な説明

図 1 は、実施の形態 1 によるクロック生成回路の構成図である。
図 2 は、実施の形態 1 によるクロック生成回路の各部の波形である。
10 図 3 は、実施の形態 2 によるクロック生成回路の構成図である。
図 4 は、実施の形態 3 による位相調整回路の構成図である。
図 5 は、実施の形態 3 による位相調整回路の各部の波形である。
図 6 は、実施の形態 4 によるクロック生成回路の構成図である。
図 7 は、実施の形態 5 によるクロック生成回路の構成図である。
15 図 8 は、実施の形態 6 によるクロック生成回路の構成図である。
図 9 は、従来の技術によるクロック生成回路の構成図である。
図 10 は、従来の技術によるクロック生成回路の各部の波形である。

発明を実施するための最良の形態

20 実施の形態 1.

以下、この実施の形態 1 について、図 1 を用いて説明する。図 1 において、1 は基準信号、2 は PLL 回路、3 は選択信号、4 は選択回路、5 は PLL 回路、6 は生成クロックである。図 2 は、図 1 における各部の波形を示したものである。

25 図 1 に示すように、基準信号 1 はそれぞれ PLL 回路 2 に入力される。
すなわち、基準信号 1 a は PLL 回路 2 a に、基準信号 1 b は PLL 回

路 2 b に入力される。PLL回路 2 a およびPLL回路 2 b では、それぞれ入力した基準信号 1 a および基準信号 1 b に同期した 1 次クロックを出力する。

次に、選択回路 4 は、選択信号 3 によりそれぞれの PLL 回路 2 から
5 出力される基準信号に同期した 1 次クロックの中から 1 つを選択し、次
段の PLL 回路 5 に入力する。PLL 回路 5 は選択した 1 次クロックに
同期した生成クロック 6 を出力する。

図 2 の 201 および 202 は、選択信号 3 にて基準信号 1 a が選択さ
れています場合の各部の波形を示したものである。図 2 の 201 に示すよ
うに、PLL 回路 2 a の出力は基準信号 1 a に、PLL 回路 2 b の出力
10 は基準信号 1 b にそれぞれ同期しており、選択信号 3 により選択回路 4
では基準信号 1 a を選択している。そのため、生成クロック 6 は基準信
号 1 a に位相同期している。図 2 の 202 に示すように、選択回路 4 は、
選択信号 3 により基準信号 1 a を選択している状態である。そのため、
15 生成クロック 6 は、基準信号 1 b とは位相同期していない。

図 2 の 203 では、選択信号 3 により選択回路 4 で選択する基準信号
を基準信号 1 b に切り替えた直後の各部の波形を示したものである。こ
の状態では選択回路 4 の出力は基準信号 1 b に同期しているが、PLL
回路 5 は切替後の基準信号 1 b へ同期する過渡状態にあり、生成クロッ
ク 6 はまだ基準信号 1 b に位相同期していない。
20

図 2 の 204 は時間が経過して定常状態になった場合の各部の波形を
示したものであり、生成クロック 6 は選択信号 3 により選択回路 4 で選
択された基準信号 1 b に位相同期している。

実施の形態 1 では、基準信号 1 にそれぞれ PLL 回路 2 を設けて、そ
れぞれの基準信号 1 に同期した 1 次クロックを生成し、これらの 1 次ク
ロックの中から 1 つを選択して次段の PLL 回路 5 へ入力して生成クロ
25

ック 6 を得る構成としたので、従来技術では選択信号 3 に基づいて基準信号 1 を切り替えた場合に、切替前の基準信号 1 と切替後の基準信号 1 の間の位相差がクロックを生成する PLL 回路 5 に直接入力されていたのに対して、本形態では PLL 回路 2 から出力される 1 次クロックの切替前と切替後の位相差が、クロックを生成する PLL 回路 5 に入力されることになる。図 2 に示すように、基準信号 1 より高速の 1 次クロックを生成することで、基準信号 1 を切り替えた場合に PLL 回路 5 に入力される位相差を大幅に小さくすることが可能となり、結果として PLL 回路 5 から出力する生成クロック 6 の位相変動も大幅に小さくすることができ、システムとして安定なクロックを供給することができる。

さらに、それぞれの基準信号 1 に対して PLL 回路 2 を設ける構成としたことで、それぞれの PLL 回路 2 については切替による入力信号の位相跳躍が発生しない。そのため、従来技術では入力信号の位相跳躍による過渡応答とのトレードオフであった PLL 回路のループゲイン設定の課題について、本発明の場合には PLL 回路 2 のループゲインを大きく設定することができる。これにより、従来技術で必要であった位相調整を不要とすることができる。PLL 回路 5 についても同様に、入力信号の位相跳躍が大幅に小さくなるためループゲインを大きくすることができ、位相調整を不要とすることができる。

上述のように PLL 回路 2 および PLL 回路 5 の両方について入力信号の位相跳躍が大幅に小さくなることは、上述のようにループゲインを大きく設定できることに加えて、過渡応答の制御精度を緩和できることにつながる。従って、電圧制御発振器 25 やローパスフィルタ 22 の集積化が可能となり、装置の小型化、低消費電力化が可能となる。

実施の形態 1 では、入力する基準信号 1 が 2 種類の例を示したが、さらに多数の基準信号 1 を入力する場合にも本発明は有効である。また、

2段のPLL回路が従属接続する場合を示したが、この例によらず多段のPLL回路を従属接続する構成にしてもよい。

実施の形態2.

5 実施の形態2について図を用いて説明する。図3において、1は基準信号、2は(前段)PLL回路、3は選択信号、4は選択回路、5は(後段)PLL回路、6は生成クロック、7は位相調整回路、8は位相比較回路、9は制御回路である。

10 実施の形態2では、基準信号1を入力するPLL回路2の出力にそれぞれ位相調整回路7を設け、選択信号3により選択回路4で選択した基準信号1に対応するPLL回路2を介して位相調整回路7から出力される1次クロックの位相に、その他の基準信号1に対応するPLL回路2を介して位相調整回路7から出力される1次クロックの位相を一致させるようにしたものである。選択された1次クロックとその他の1次クロックの位相を位相比較回路8で比較し、制御回路9は両者の位相が一致するように、選択されていない1次クロックを出力する位相調整回路を制御する。

15 上述のように、選択されている1次クロックの位相と一致するように、その他の選択されていない1次クロックの位相を制御するようにしたので、選択信号3に基づいて選択回路4による切替が行われても、PLL回路5に入力される信号に位相跳躍が発生しないため、実施の形態1に示した無調整化と集積化の利点を継承した上で、さらに安定したクロックを供給できる。

25 実施の形態3.

実施の形態3は、実施の形態2における位相調整回路7をリングカウ

ンタおよび選択回路で構成するものである。

図4において、1は基準信号、2は（前段）PLL回路、7は位相調整回路、10はフリップフロップ、11はNOR回路、12は選択回路、13は制御信号、14は位相調整回路の出力である。図5は、図4における各部の波形を示したものである。

PLL回路2から出力される1次クロックにより、フリップフロップ10およびNOR回路11で構成されるリングカウンタを駆動する。図5に示すように、フリップフロップ10a～フリップフロップ10yの出力はリングカウンタの段数に応じた多相信号となる。これら多相信号の中から、選択回路12を用いて1つを選択することで位相調整回路7を構成するものである。フリップフロップ10a～フリップフロップ10yの出力は周期性がある。位相調整制御において、フリップフロップ10yの出力を選択回路12で選択している状態からさらに位相を遅らせる制御が必要な場合には、選択回路12にてフリップフロップ10aの出力を選択すればよい。微少な位相を順次増減する位相調整の制御方法として、選択回路12にて選択するフリップフロップ10の出力を周回的に選択する。これにより、位相調整回路7における位相調整範囲は無限大とすることができます。

位相調整回路7におけるリングカウンタを構成するフリップフロップ10の段数は、PLL回路2より出力される1次クロックの速度とあわせて決定される。具体的には、選択回路4で切り替えを行った場合にPLL回路5から出力される生成クロック6に位相跳躍が発生しないよう、位相調整制御に必要な分解能としてフリップフロップ10の段数が決定される。

上述のように位相調整回路7を構成することにより、位相調整範囲を無限大とすることができます、位相調整の制御分解能を自由に設定できる。

実施の形態4.

実施の形態4は、実施の形態1に示した基準信号1毎のPLL回路2にて基準信号との周波数同期を行い、これら周波数同期した信号の中から5 1つを選択回路4により選択し、選択した信号を次段のPLL回路5に入力し、次段のPLL回路5において、選択した基準信号1との位相同期を行うものである。

図6において、1は基準信号、2は（前段）PLL回路、3は選択信号、4は選択回路、5は（後段）PLL回路、6は生成クロック、7は10 位相調整回路、8は位相比較回路、9は制御回路、15は選択回路、16は位相比較回路、17は制御回路、18は分周回路、19は選択回路、20は選択回路である。

入力する複数の基準信号1はそれぞれPLL回路2に入力される。PLL回路2からはそれぞれ入力した基準信号1に周波数同期した1次クロックが出力され、1次クロックは、それぞれ位相調整回路7を経て選択回路4に入力され、選択信号3により入力された1次クロックのうち15 1つが選択されてPLL回路5に入力される。PLL回路5からは生成クロック6が出力される。

更に、基準信号1は選択回路15に入力され、選択信号3により1つの基準信号1が選択される。この選択回路15と前記選択回路4は同じ20 系統の基準信号1および周波数同期した1次クロックを選択する。位相比較回路16は、選択回路15で選択された基準信号1と生成クロック6を分周回路18で分周した信号との位相比較を行う。位相比較結果は制御回路17に入力され、選択した基準信号1に対応する位相調整回路25 7の制御に用いられる。位相調整回路7は、基準信号1と分周回路18から出力される分周信号との位相を一致させる動作を行う。

位相比較回路 8 は選択された基準信号 1 を入力した PLL 回路 2 から出力される 1 次クロックの位相と、他の基準信号 1 を入力した PLL 回路 2 から出力される 1 次クロックの位相を比較する。位相比較結果は制御回路 9 に入力され、他の基準信号 1 に対応する位相調整回路 7 の制御 5 に用いられる。位相調整回路 7 は、選択した基準信号 1 に対応する 1 次クロックと他の基準信号に 1 に対応する 1 次クロックとの位相を一致させる動作を行う。選択回路 19 および選択回路 20 は、選択された基準信号 1 に対応する位相調整回路 7 に対する制御と他の基準信号に対応する位相調整回路 7 に対する制御を、選択信号 3 に対応して選択する。

10 上述のように、初段の PLL 回路 2 で基準信号 1 との周波数同期を行い、次段の PLL 回路 5 で選択した基準信号 1 との位相同期を行う構成としたので、システムに対して選択した基準信号 1 に周波数同期した生成クロック 6 を供給するだけでなく、選択した基準信号 1 に一致した位相を再生することができる。これは、例えばフレーム位相信号に用いる 15 ことができる。また、選択した基準信号 1 に対応する 1 次クロックの位相に対して、その他の基準信号 1 に対応する 1 次クロックの位相を一致させるようにしたので、選択信号 3 に基づいて選択回路 4 にて基準信号 1 の切替が行なわれた場合に PLL 回路 5 に入力される信号に位相跳躍が発生しないため、安定したクロックを供給できる。

20

実施の形態 5.

実施の形態 5 は、実施の形態 4 において位相調整回路 7 を制御する制御回路 17 および制御回路 9 を、選択した基準信号 1 の周期に比例して制御するものである。

25

図 7 において、1 は基準信号、2 は（前段）PLL 回路、3 は選択信号、4 は選択回路、5 は（後段）PLL 回路、6 は生成クロック、7 は

位相調整回路、8は位相比較回路、9は制御回路、15は選択回路、16は位相比較回路、17は制御回路、18は分周回路、19は選択回路、20は選択回路である。

制御を行う周期は、選択信号3で選択する基準信号1の切替を行った場合の過渡応答を決定するものである。従来技術のようにローパスフィルタの周波数特性にて過渡応答を制御する場合に比較して、実施の形態5は、高精度に制御することが可能となる。また、従来技術ではローパスフィルタの周波数応答の実現性の理由により、基準信号1を切り替えた場合の過渡応答の設計自由度に制約があったが、実施の形態5では論理回路処理に基づく制御が行なわれるので、設計の自由度が高い利点がある。

実施の形態6.

実施の形態6は、実施の形態4において位相調整回路7を制御する制御回路17および制御回路9を、生成クロック6を分周回路18で分周した信号の周期に比例して制御するものである。

図8において、1は基準信号、2は(前段)PLL回路、3は選択信号、4は選択回路、5は(後段)PLL回路、6は生成クロック、7は位相調整回路、8は位相比較回路、9は制御回路、15は選択回路、16は位相比較回路、17は制御回路、18は分周回路、19は選択回路、20は選択回路である。

制御を行う周期は、選択信号3で選択する基準信号1の切替を行った場合の過渡応答を決定するものである。従来技術のようにローパスフィルタの周波数特性にて過渡応答を制御する場合に比較して、実施の形態6は高精度に制御することが可能となる。また、従来技術ではローパスフィルタの周波数応答の実現性の理由により、基準信号1を切り替えた

場合の過渡応答の設計自由度に制約があったが、実施の形態 6 では論理回路処理に基づく制御が行なわれるので、設計の自由度が高い利点がある。

以上のように、この発明に係るクロック生成回路は、入力する基準信号毎にPLL回路を設け、基準信号毎に設けたPLL回路の出力から1つを選択し、次段のPLL回路へ入力する構成を取り、複数段のPLL回路を従属接続するようにしたものである。さらに基準信号毎に設けたPLL回路の出力に位相調整回路を設け、位相調整回路を用いて、選択されている基準信号を入力するPLL回路の出力位相と、他の基準信号を入力したPLL回路の出力の位相を一致させるようにし、位相調整回路をリングカウンタと、リングカウンタの多相出力から1つを選択する選択回路とで構成したものである。また、基準信号毎に設けたPLL回路で基準信号との周波数同期を行い、この中の1つを選択して次段のPLL回路で基準信号との位相同期を行うようにし、位相調整回路の制御を基準信号または生成したクロック信号の周期に比例して制御すようにしたものである。

産業上の利用可能性

基準信号1より高速の1次クロックを生成することで、基準信号1を切り替えた場合にPLL回路5に入力される位相差を大幅に小さくすることが可能となり、結果としてPLL回路5から出力する生成クロック6の位相変動も大幅に小さくすることができ、システムとして安定なクロックを供給することができる。

さらに、それぞれの基準信号1に対してPLL回路2を設ける構成としたことで、それぞれのPLL回路2については切替による入力信号の位相跳躍が発生しない。そのため、従来技術では入力信号の位相跳躍に

5 よる過渡応答とのトレードオフであったPLL回路のループゲイン設定の課題について、本発明の場合にはPLL回路2のループゲインを大きく設定することができる。これにより、従来技術で必要であった位相調整を不要とすることができます。PLL回路5についても同様に、入力信号の位相跳躍が大幅に小さくなるためループゲインを大きくすることができ、位相調整を不要とすることができます。

10 上述のように、PLL回路2およびPLL回路5の両方について入力信号の位相跳躍が大幅に小さくなることは、上述のようにループゲインを大きく設定できることに加えて、過渡応答の制御精度を緩和できることがつながる。従って、電圧制御発振器25やローパスフィルタ22の集積化が可能となり、装置の小型化、低消費電力化が可能となる。

15 選択されている1次クロックの位相と一致するように、その他の選択されていない1次クロックの位相を制御するようにしたので、選択信号3に基づいて、選択回路4による切替が行われてもPLL回路5に入力される信号に位相跳躍が発生しないため、実施の形態1に示した無調整化と集積化の利点を継承した上で、さらに安定したクロックを供給できる。

位相調整回路7を構成することにより、位相調整範囲を無限大とすることができる、位相調整の制御分解能を自由に設定できる。

20 初段のPLL回路2で基準信号1の周波数同期を行い、次段のPLL回路5で選択した基準信号1との位相同期を行う構成としたので、システムに対して選択した基準信号1に周波数同期した生成クロック6を供給するだけでなく、選択した基準信号1に一致した位相を再生することができる。これは、例えばフレーム位相信号に用いることができる。また、選択した基準信号1に対応する1次クロックの位相に対して、その他の基準信号1に対応する1次クロックの位相を一致させるようにした

ので、選択信号 3 に基づいて選択回路 4 にて基準信号 1 の切替が行われた場合にPLL回路 5 に入力される信号に位相跳躍が発生しないため、安定したクロックを供給できる。

従来技術のようにローパスフィルタの周波数特性にて過渡応答を制御する場合に比較して、実施の形態 5 は、高精度に制御することが可能となる。また、従来技術ではローパスフィルタの周波数応答の実現性の理由により、基準信号 1 を切り替えた場合の過渡応答の設計自由度に制約があったが、実施の形態 5 では論理回路処理に基づく制御が行われるので、設計の自由度が高い利点がある。

従来技術のようにローパスフィルタの周波数特性にて過渡応答を制御する場合に比較して、実施の形態 6 は高精度に制御することが可能となる。また、従来技術ではローパスフィルタの周波数応答の実現性の理由により、基準信号 1 を切り替えた場合の過渡応答の設計自由度に制約があったが、実施の形態 6 では論理回路処理に基づく制御が行われるので、設計の自由度が高い利点がある。

請求の範囲

1. 複数の基準信号のうち 1 つを選択し、選択した基準信号に同期したクロックを生成するクロック生成回路であって、以下の要素
5 を有することを特徴とするクロック生成回路

(1) 前記複数の基準信号毎に設けられ、それぞれの基準信号に同期する出力を生成する複数の前段 PLL 回路

(2) 複数の前記前段 PLL 回路出力のうち 1 つを選択する選択回路

(3) 前記複数の前段 PLL 回路と從属接続し、選択した前記出力を入
10 力し、前記クロックを生成する後段 PLL 回路。

2. 前記クロック生成回路は、更に、前記複数の前段 PLL 回路の出力毎に設けられ、前記選択した基準信号に対応する前段 PLL 回路の出力の位相に、他の前段 PLL 回路の出力の位相を一致させる複数の位相調整回路を有することを特徴とする請求項 1 記載のクロック生成回路。
15

3. 前記位相調整回路は、リングカウンタと、前記リングカウンタの多相出力から 1 つを選択する選択回路とを有することを特徴とする請求項 2 記載のクロック生成回路。

4. 前記複数の前段 PLL 回路は、前記それぞれの基準信号
20 との周波数同期を行い、

前記後段 PLL 回路は、前記選択した基準信号との位相同期を行い、
クロック生成回路は、更に、前記複数の前段 PLL 回路の出力毎に設
けられた複数の位相調整回路を有し、前記選択した基準信号の位相に、
生成した前記クロックを分周した信号の位相を一致させるように、前記
25 選択した基準信号に対応した位相調整回路を制御し、

前記複数の位相調整回路は、前記選択した基準信号に対応する前段 P

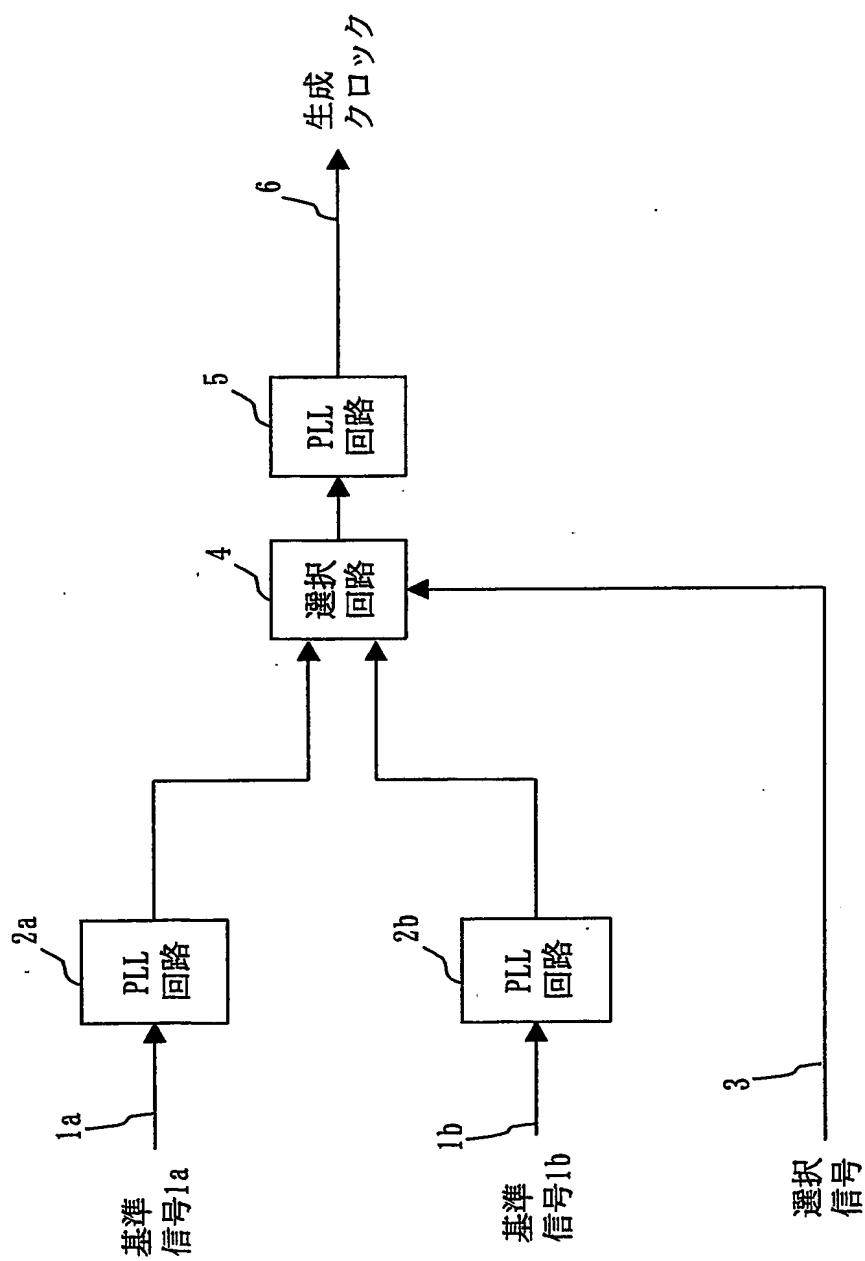
L L 回路の出力の位相に、他の前段 P L L 回路の出力の位相を一致させることを特徴とする請求項 1 記載のクロック生成回路。

5. クロック生成回路は、前記選択した基準信号の周期に比例して、前記位相調整回路を制御することを特徴とする請求項 4 記載の
5 クロック生成回路。

6. クロック生成回路は、前記生成クロックの分周周期に比例して、前記位相調整回路を制御することを特徴とする請求項 4 記載の
クロック生成回路。

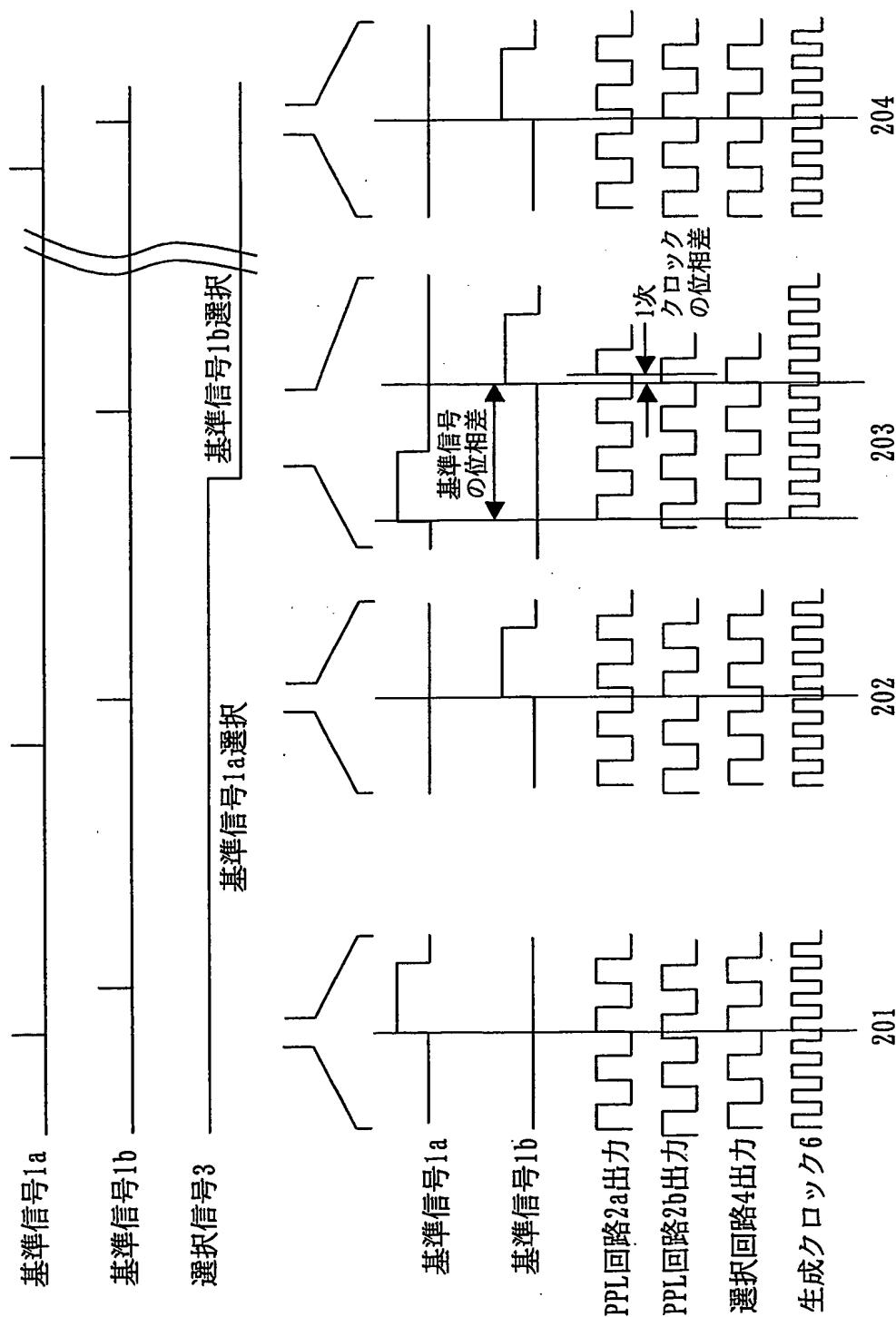
1/10

図 1



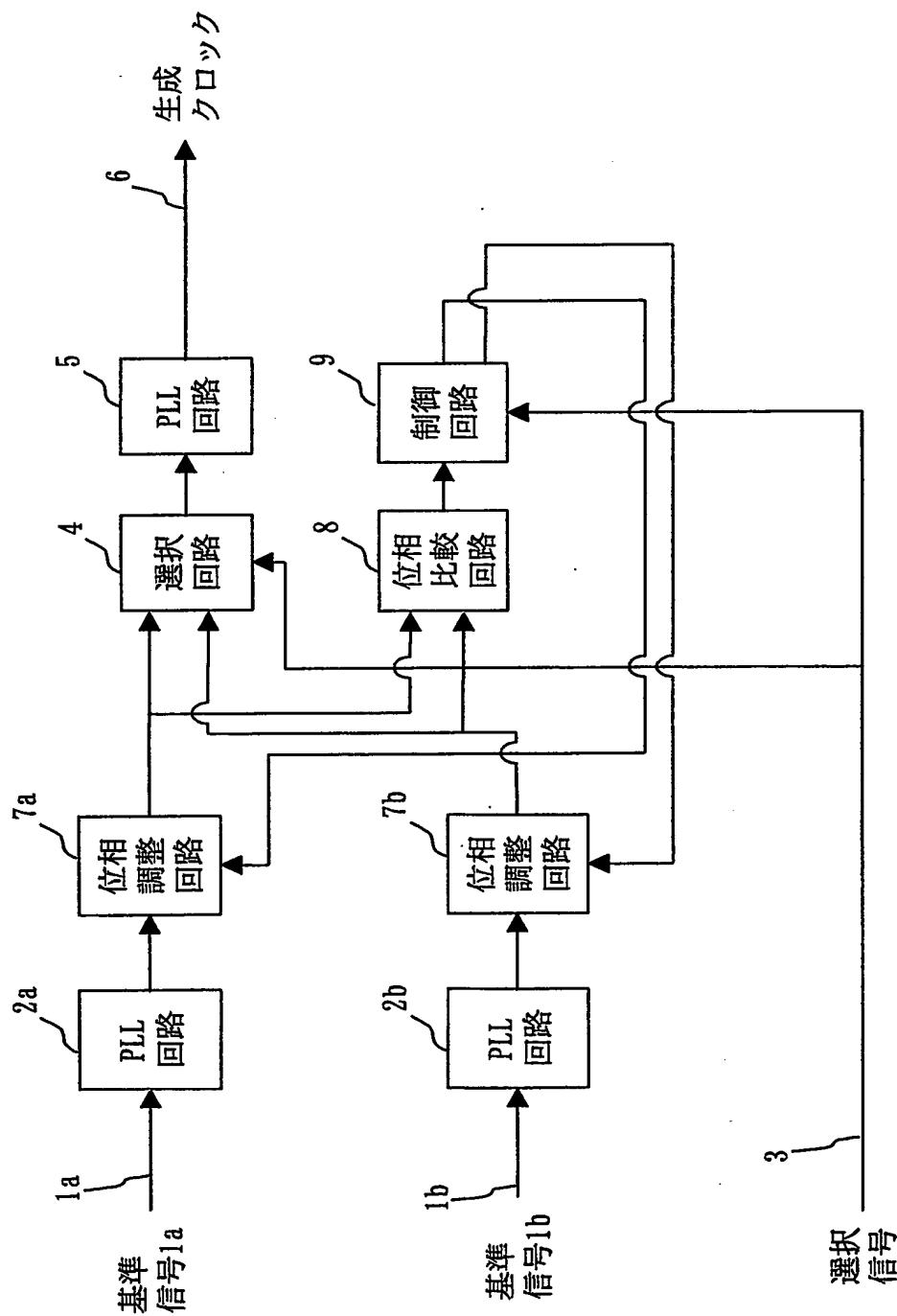
2 / 10

図 2



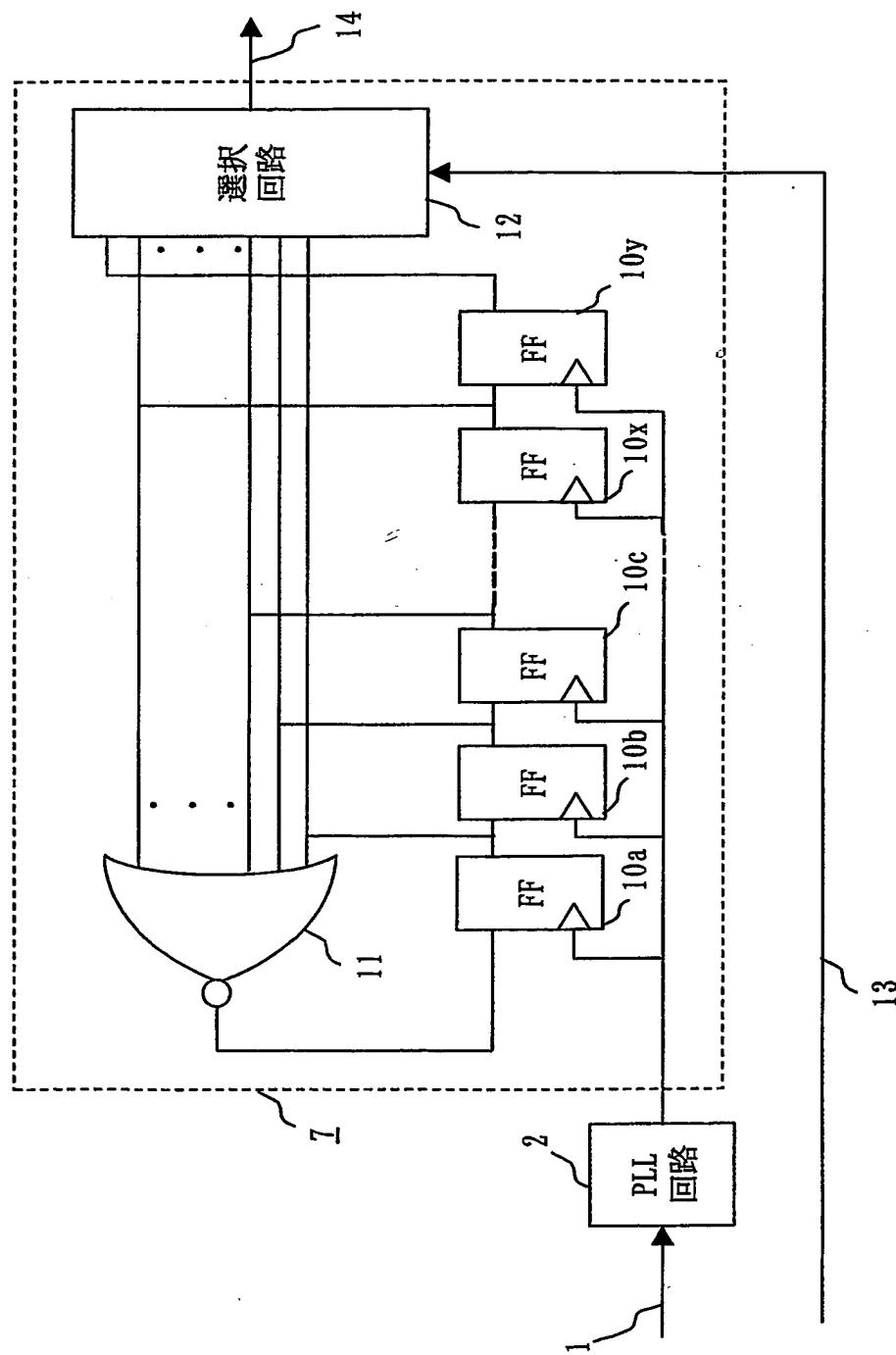
3 / 10

図 3



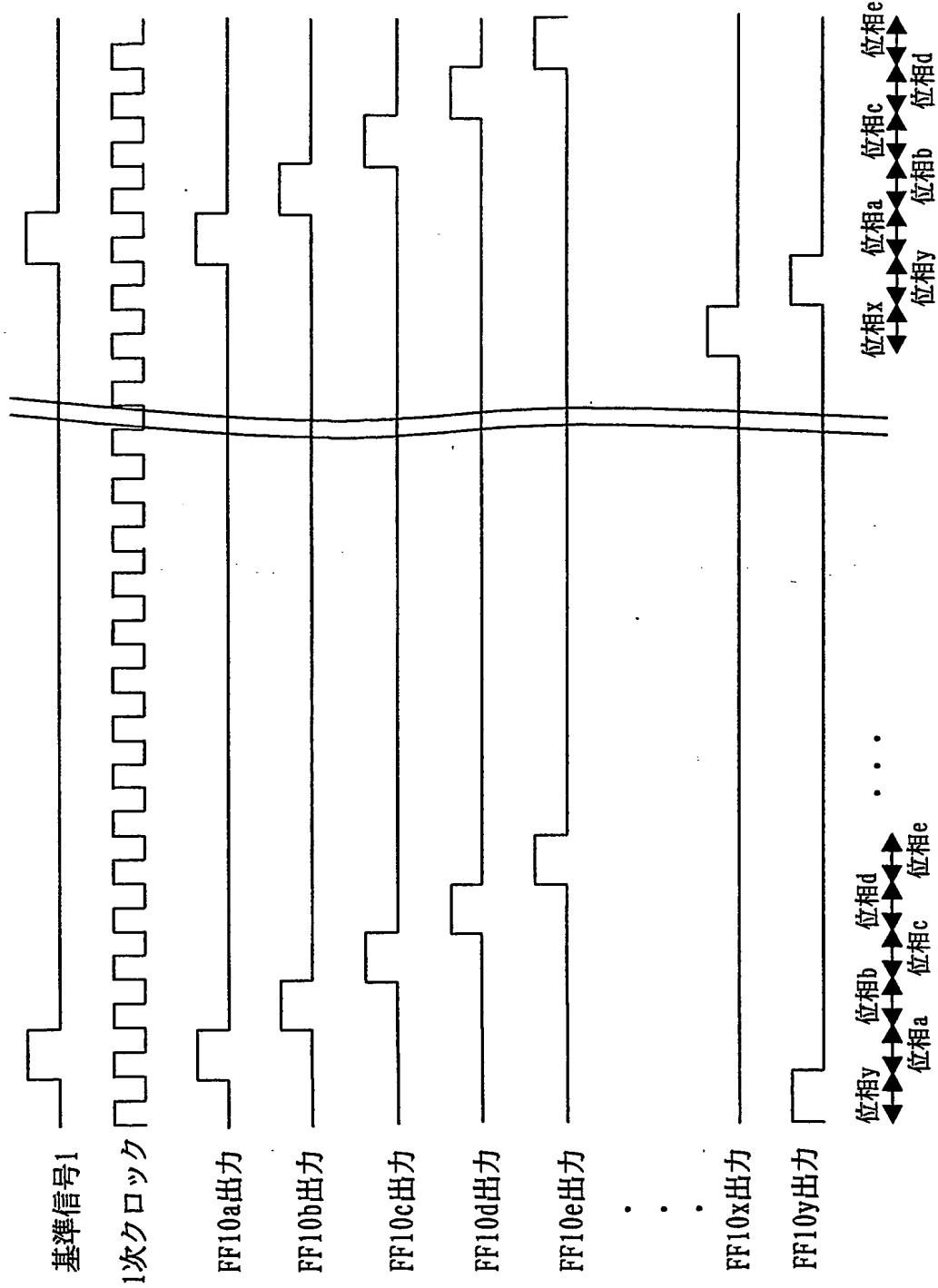
4/10

図 4



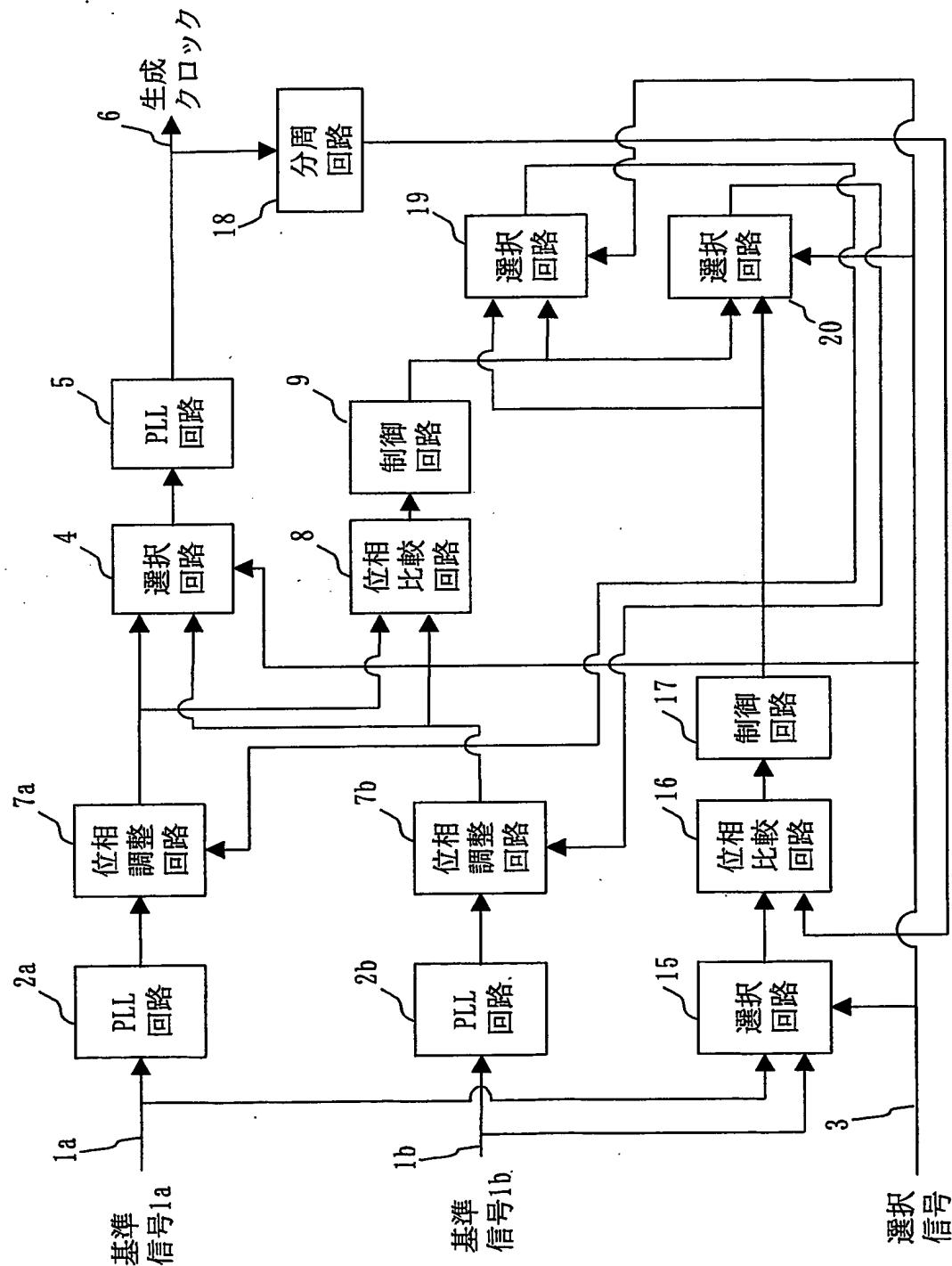
5 / 10

図 5



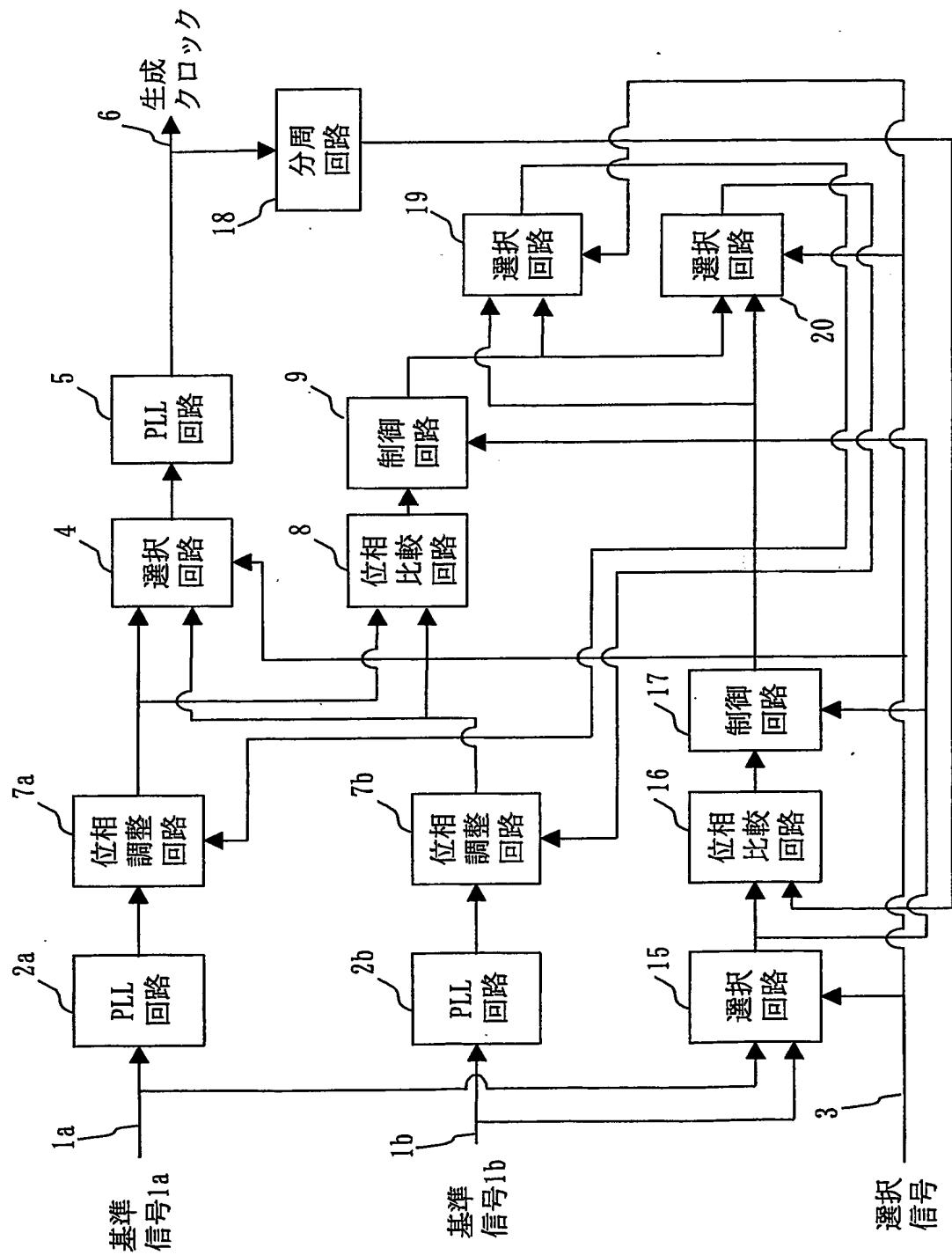
6 / 10

図 6



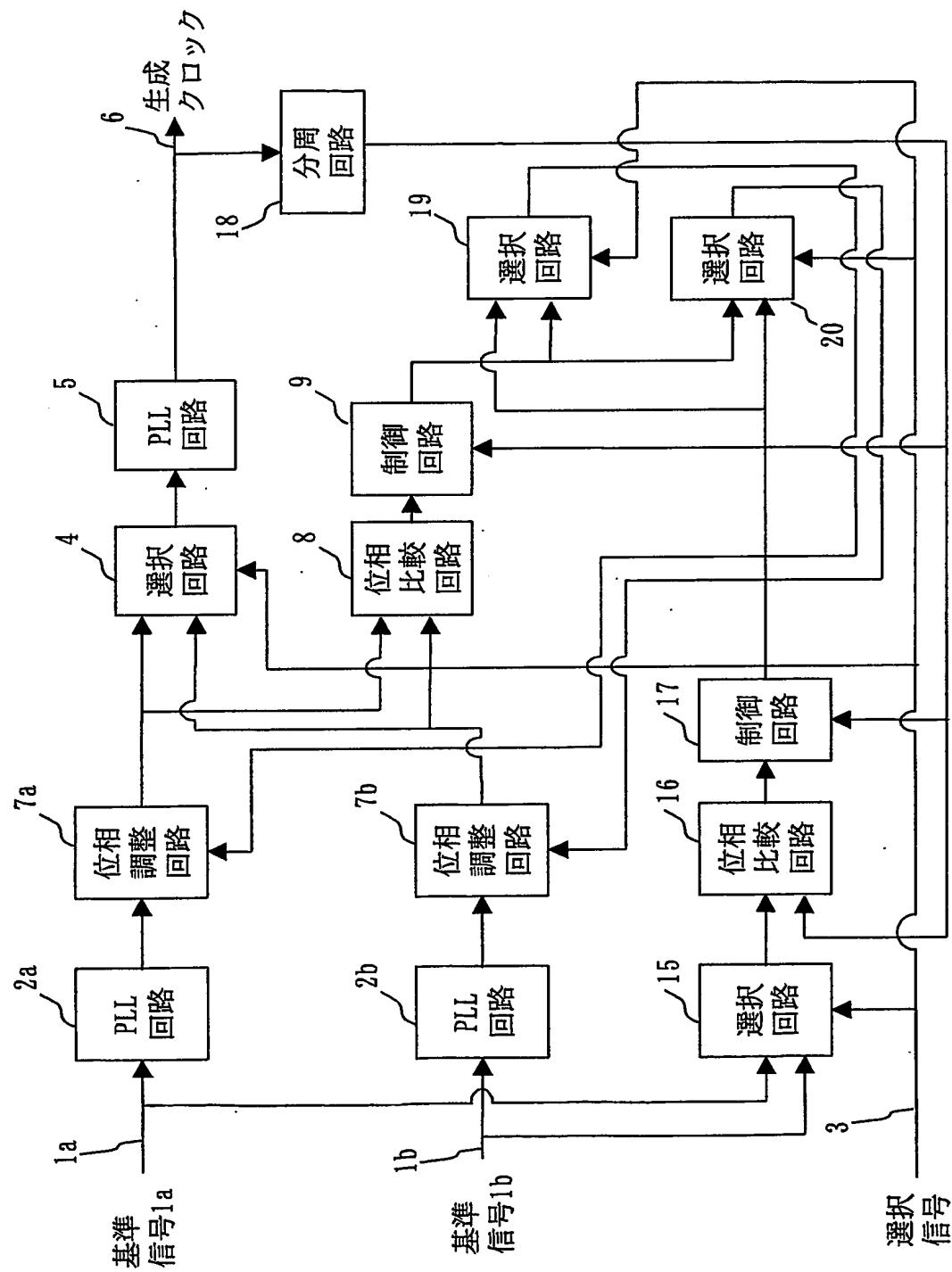
7/10

図 7



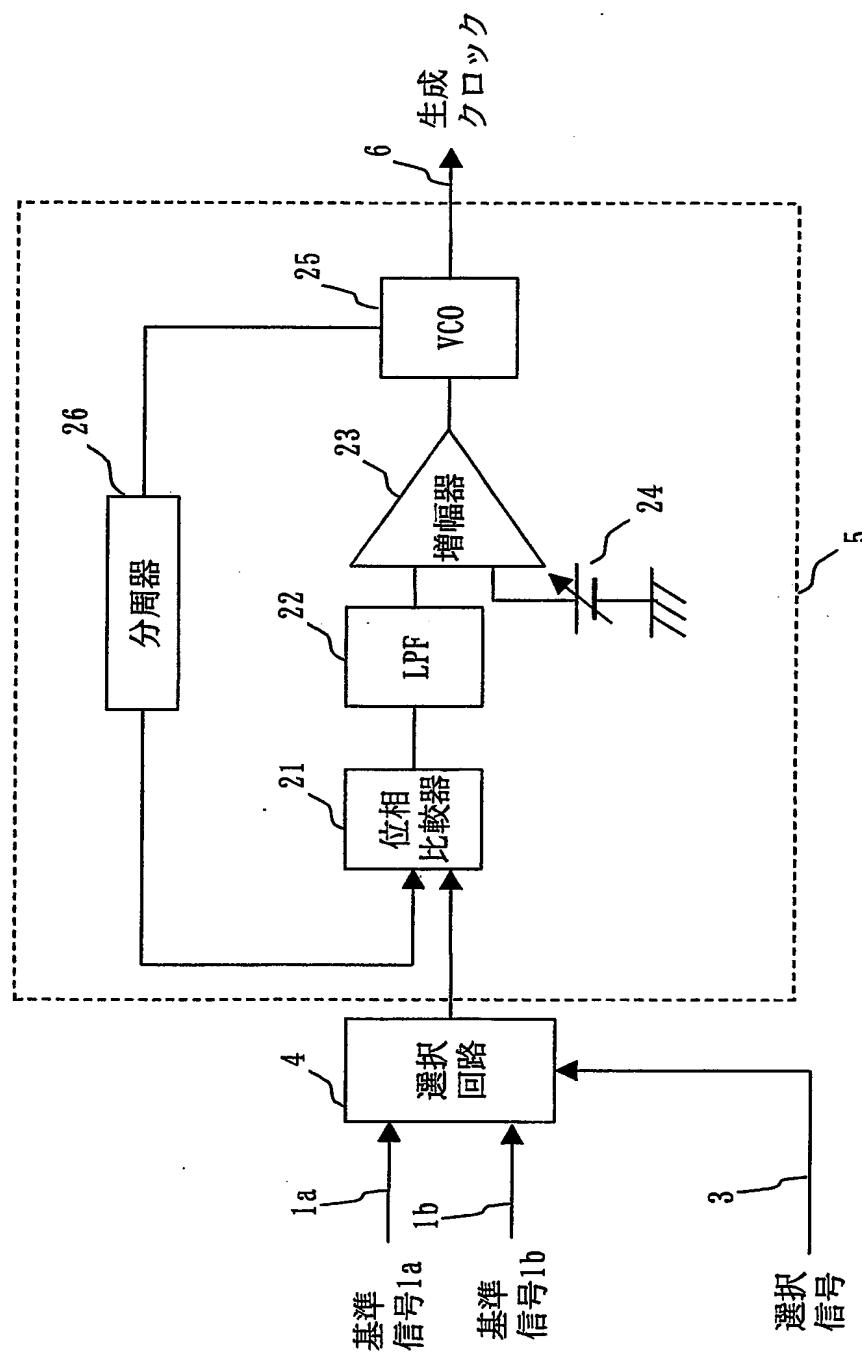
8 / 10

図 8



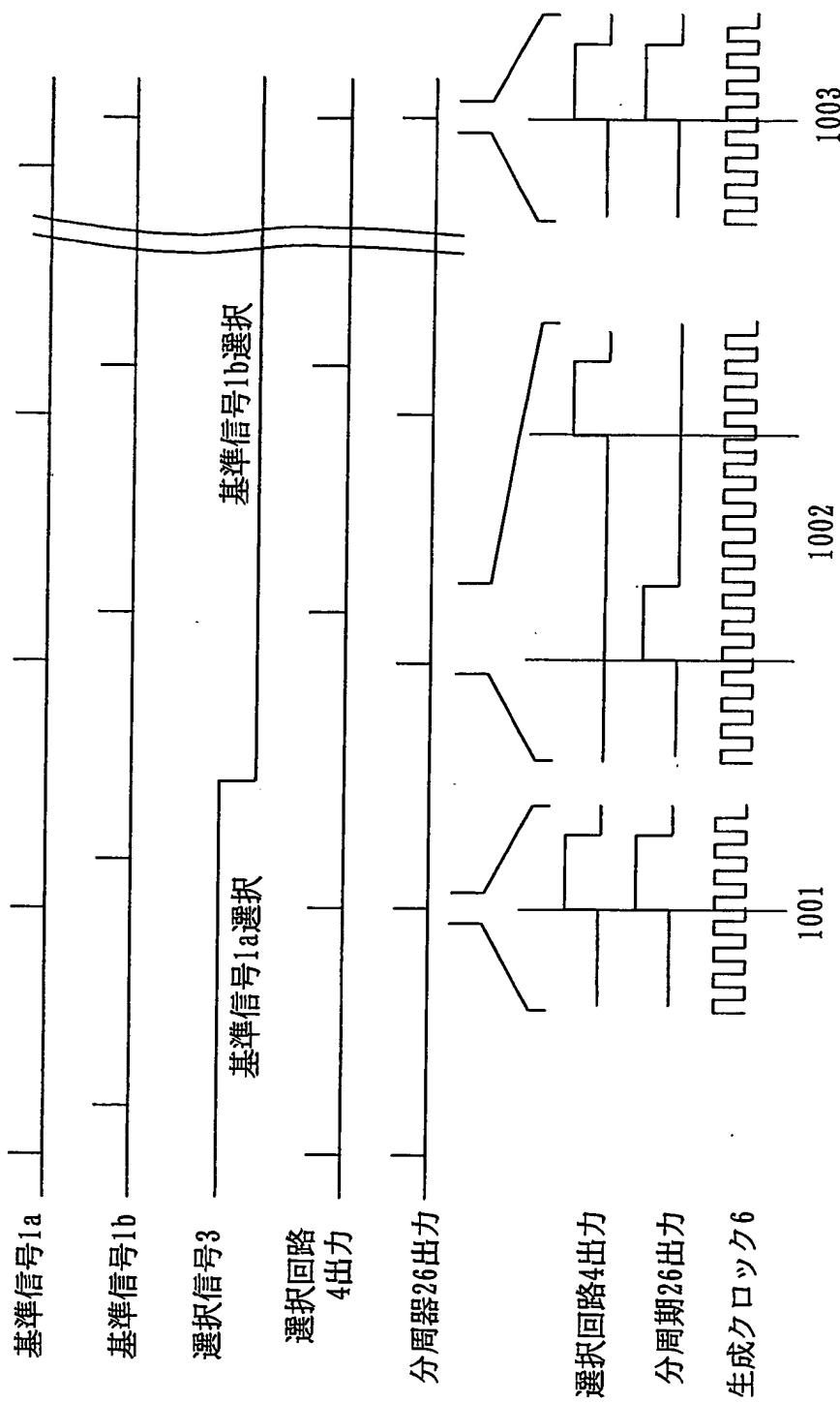
9 / 10

図 9



10 / 10

図 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00233

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03L7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03L7/00-7/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 04-113718, A (Fujitsu Ltd.), 15 April, 1992 (15.04.92), Page 3, upper right column, line 17 to page 4, lower left column, line 5; Fig. 2 & US 5122677 A1	1
X	JP, 2000-148281, A (NEC Tsushin System K.K.), 26 May, 2000 (26.05.00), Page 3, right column, line 48 to page 4, left column, line 16; Fig. 4 (Family: none)	1
A	JP, 2001-251182, A (Sony Corp.), 14 September, 2001 (14.09.01), Page 4, right column, line 21 to page 5, left column, line 11; Fig. 1 (Family: none)	2

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 March, 2002 (18.03.02)

Date of mailing of the international search report

26 March, 2002 (26.03.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP02/00233**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-290158, A (NEC Saitama Co., Ltd.), 27 October, 1998 (27.10.98), Page 3, left column, line 34 to page 4, right column, line 3; Fig. 1 (Family: none)	2

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl. 7 H03L 7/00

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl. 7 H03L 7/00-7/23

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 04-113718 A (富士通株式会社) 1992. 04. 15, 第3頁右上欄第17行-第4頁左下欄第5行, 第2図 & US 5122677 A1	1
X	JP 2000-148281 A (日本電気通信システム株式会社) 2000. 05. 26, 第3頁右欄第48行-第4頁左欄第16行, 第4図 (ファミリーなし)	1

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

18. 03. 02

国際調査報告の発送日

26.03.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

甲斐 哲雄

5W 9750



電話番号 03-3581-1101 内線 3575

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 2001-251182 A (ソニー株式会社) 2001. 09. 14, 第4頁右欄第21行—第5頁左欄第11行, 第1図 (ファミリーなし)	2
A	JP 10-290158 A (埼玉日本電気株式会社) 1998. 10. 27, 第3頁左欄第34行—第4頁右欄第3行, 第1図 (ファミリーなし)	2